

POWERED BY Dialog

LIQUID CRYSTAL DISPLAY DEVICE**Publication Number:** 2000-028991 (JP 2000028991 A) , January 28, 2000**Inventors:**

- SAGI SEIICHI
- HORI YOICHI

Applicants

- TOSHIBA CORP

Application Number: 10-198729 (JP 98198729) , July 14, 1998**International Class:**

- G02F-001/133

Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which always keeps satisfactory display quality and contrast free from ghost and has uniform display in a screen. **SOLUTION:** A video signal (Video) is successively supplied to signal lines 102 through plural analog switches ASW in response to the output pulse of each stage of a shift register S/R. The shift register S/R successively outputs a start pulse XST to analog switches ASW as this output pulse in response to a clock signal CLK. Delay elements 5 are properly provided so as to relay clock lines through which the clock signal CLK is transmitted. **COPYRIGHT:** (C)2000,JPO

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 6443421

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-28991

(P2000-28991A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷

G 0 2 F 1/133

識別記号

5 5 0

F I

G 0 2 F 1/133

テーマコード(参考)

2 H 0 9 3

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号

特願平10-198729

(22) 出願日

平成10年7月14日 (1998.7.14)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鷲 成一

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷電子工場内

(72) 発明者 堀 陽一

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷電子工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 2H093 NA16 NA42 NA53 N009 NC22

NC34 ND05 ND06 ND15 ND36

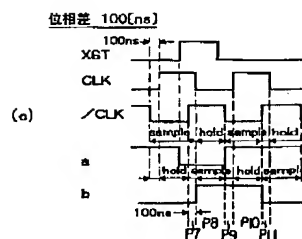
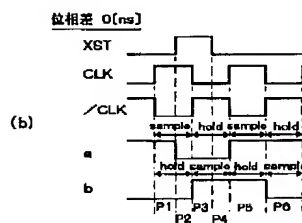
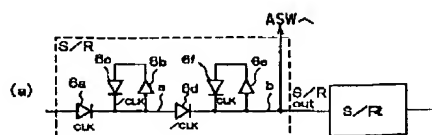
ND40

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ゴーストのない常に良好な表示品位とコントラストを維持し、画面内の表示が均一な液晶表示装置を提供する。

【解決手段】 映像信号 (V i d e o) は、シフトレジスタ S/R の各段の出力パルスにตอบสนองして複数のアナログスイッチ A S W を介して各信号線 1 0 2 に順次供給される。シフトレジスタ S/R はクロック信号 C L K にตอบสนองしてスタートパルス X S T を前記出力パルスとして順次アナログスイッチ A S W に出力する。クロック信号 C L K を伝えるクロックラインを中継するように遅延素子 5 が適宜設けられる。



【特許請求の範囲】

【請求項1】 薄膜トランジスタと該トランジスタに接続される液晶容量素子を含む表示画素が行と列のマトリクス状に配置された表示画素アレイと、
前記表示画素アレイの各行に沿った前記薄膜トランジスタの各々に接続された走査線と、
走査周期で前記走査線に順次走査パルスを供給する走査線駆動回路と、
前記表示画素アレイの各列に沿った前記薄膜トランジスタの各々に接続され、前記薄膜トランジスタを介して前記液晶容量素子に映像信号を供給するための信号線と、
前記信号線に順次映像信号を供給する信号線駆動回路とを具備し、該信号線駆動回路は、
制御パルスに応答して映像信号を各信号線に供給する複数のアナログスイッチと、
映像信号を前記複数のアナログスイッチに供給するためのビデオラインと、
クロック信号に応答して前記制御パルスを前記アナログスイッチに順次供給するシフトレジスタと、
前記クロック信号を前記シフトレジスタの各段に供給するためのクロックラインと、
前記クロックラインを中継するように前記クロックラインに沿って適宜設けられ、前記クロック信号を遅延する遅延素子と、を具備することを特徴とする液晶表示装置。

【請求項2】 前記ビデオラインの時定数は前記クロックラインの時定数より大きいことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記シフトレジスタはクロックドインバータを含み、クロック信号及び該クロック信号を反転した反転クロック信号に基づいてシフト動作を行い、前記クロックラインは前記クロック信号及び反転クロック信号を前記シフトレジスタの各段に伝えるための第1及び第2のクロックラインにより構成され、前記遅延素子は前記クロック信号を伝えるための前記第1クロックラインに沿って設けられることを特徴とする請求項1又は2記載の液晶表示装置。

【請求項4】 前記シフトレジスタはクロックドインバータを含み、クロック信号及び該クロック信号を反転した反転クロック信号に基づいてシフト動作を行い、前記クロックラインは前記クロック信号及び反転クロック信号を各シフトレジスタに伝えるための第1及び第2のクロックラインにより構成され、前記遅延素子は前記第1及び第2のクロックラインの両方に沿って設けられることを特徴とする請求項1又は2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜トランジスタ素子に用いた液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置は、その薄型、軽量、低消費電力などの特徴を活かして、パーソナルワープロやパーソナルコンピュータ（パーソナルOA機器）、或いはパーソナルテレビ用のディスプレイデバイスとして多く利用されるようになってきている。また、OA機器用ディスプレイデバイスに利用される液晶表示装置は、高品位表示などが、低廉に実現されることが要求されている。

【0003】 現在、薄膜トランジスタ（TFT）素子を用いた液晶表示装置は、大きく分けて駆動回路をガラス基板の外部に配置するアモルファスシリコン（a-Si）TFT素子を用いた液晶表示装置と、駆動回路をガラス基板に内蔵できるポリシリコン（p-Si）TFT素子を用いた液晶表示装置とがある。

【0004】 ポリシリコン（p-Si）TFT素子を用いた液晶表示装置は、小型サイズのものから大型サイズのものに移行しつつあり、大型化に伴い面内の表示均一性、高品位表示が要求されている。

【0005】

【発明が解決しようとする課題】 ポリシリコン（p-Si）TFT素子を用いた液晶表示装置は、駆動回路をガラス基板上に構成できるため表示モジュールをスリム化できるが、ガラス基板上に複数の映像信号配線を含む多数の配線を設けるため、映像信号になまり、遅延などが発生する。

【0006】 図8は従来の液晶表示装置の要部の構成を示す図である。符号10はTFT104と液晶容量素子106と補助容量Csにより構成される表示画素が行と列のマトリクス状に配置された表示画素アレイである。符号20は複数の信号線102を駆動する信号線駆動回路である。この信号線駆動回路20では、画素クロックに同期したクロック信号CLKとクロック信号を反転したクロック信号 $\overline{\text{CLK}}$ によってシフトレジスタS/Rが制御され、映像（Video）信号はシフトレジスタS/Rの制御の下にアナログスイッチASWによって信号線102に順次左から右へ画素周期で供給される。

【0007】 ビデオライン7はカラーの液晶表示層装置等では一般に複数本設けられるため、線密度が高い。従って、クロック信号線3或いは4より線幅が細く、時定数が一般に大きい。

【0008】 図9はアナログスイッチASWに入力される映像波形、アナログスイッチASWをスイッチングするためのアナログスイッチゲート入力波形、及び信号線102への出力電圧波形である。図9（a）は映像信号のなまり21が比較的少ないシフトレジスタ初段側（左側）での信号波形、図9（b）は映像信号のなまり21が比較的大きなシフトレジスタ後段側（右側）での信号波形である。

【0009】 図9（b）に示すように、映像信号のなまり（遅れ）21によって、信号線102には前面素子の影響がノイズ α として現れている。このように映像信号波

形がなまることによって本来送り出すとは別の映像信号波形が信号線に供給される。このノイズ α により、ゴーストが観測されたり、コントラストが低下してしまうといった問題が生じる。

【0010】本発明は、上記問題点を鑑みてなされたものであり、ゴーストのない常に良好な表示品位とコントラストを維持し、画面内の表示が均一な液晶表示装置を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明は、薄膜トランジスタと該トランジスタに接続される液晶容量素子を含む表示画素が行と列のマトリクス状に配置された表示画素アレイと、前記表示画素アレイの各行に沿った前記薄膜トランジスタの各々に接続された走査線と、走査周期で前記走査線に順次走査パルスを提供する走査線駆動回路と、前記表示画素アレイの各列に沿った前記薄膜トランジスタの各々に接続され、前記薄膜トランジスタを介して前記液晶容量素子に映像信号を供給するための信号線と、前記信号線に順次映像信号を供給する信号線駆動回路とを具備する液晶表示装置であって、前記信号線駆動回路は、制御パルスにตอบสนองして映像信号を各信号線に供給する複数のアナログスイッチと、映像信号を前記複数のアナログスイッチに供給するためのビデオラインと、クロック信号にตอบสนองして前記制御パルスを前記アナログスイッチに順次供給するシフトレジスタと、前記クロック信号を前記シフトレジスタの各段に供給するためのクロックラインと、前記クロックラインを中継するように前記クロックラインに沿って適宜設けられ、前記クロック信号を遅延する遅延素子とを具備する。

【0012】ビデオラインの時定数により、映像信号のなまりがシフトレジスタの初段から最終段にかけて増大する場合でも、映像表示に影響を与えず表示領域全域にわたり均一な表示を達成できる。従って、ゴーストのない液晶表示装置が提供される。

【0013】前記シフトレジスタはクロックドインバータを含み、クロック信号及び該クロック信号を反転した反転クロック信号に基づいてシフト動作を行い、前記クロックラインは前記クロック信号及び反転クロック信号を前記シフトレジスタの各段に伝えるための第1及び第2のクロックラインにより構成され、前記遅延素子は前記クロック信号を伝えるための前記第1クロックラインに沿って設けられる。この構成により、アナログスイッチのスイッチングを制御するシフトレジスタの出力制御パルスの幅が前記遅延素子による遅延に応じて制御される。

【0014】又、前記シフトレジスタはクロックドインバータを含み、クロック信号及び該クロック信号を反転した反転クロック信号に基づいてシフト動作を行い、前記クロックラインは前記クロック信号及び反転クロック信号を各シフトレジスタに伝えるための第1及び第2の

クロックラインにより構成され、前記遅延素子は前記第1及び第2のクロックラインの両方に沿って設けられる。この構成により、アナログスイッチのスイッチングを制御するシフトレジスタの出力制御パルスの位相が前記遅延素子による遅延に応じて制御される。

【0015】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態について詳細に説明する。図1は本発明が適用される液晶表示装置の構成を示す図である。この表示装置は、薄膜トランジスタ素子（以下TFTと称する）104とTFT104のソースに接続される液晶容量素子106及び補助容量（Cs）107とで構成される表示画素がガラス基板101上に行と列のマトリクス状に配置されている。各列を構成するTFT104のドレインには信号線102が接続され、各行を構成するTFT104のゲートには走査線103が接続されている。各行の補助容量107の他方の端子にはCs線108が配線されている。

【0016】信号線駆動回路1は配線110から画素クロック信号、この画素クロックに同期した映像信号、及び水平同期信号に同期したXスタートパルスを入力し、複数の信号線102に映像信号を順次供給する。走査線駆動回路2は配線110から垂直同期パルスに同期したYスタートパルス及び水平同期パルスを入力し、走査周期で走査線103に順次走査パルスを供給する。

【0017】図2は本発明による信号線駆動回路1の構成を模式的に示したブロック図である。タイミング信号であるクロック信号CLKとクロック信号を反転したクロック信号 $\overline{\text{CLK}}$ によってシフトレジスタS/Rが制御され、映像（Video）信号はシフトレジスタS/Rの制御の下にアナログスイッチASWによって信号線102に順次左から右へ画素周期で供給される。

【0018】クロック信号CLKが供給されるライン3にはインバータ5が適宜挿入されている。つまりインバータ5はクロック信号CLKを中継し、クロック信号CLKをシフトレジスタ初段部から終段部にかけて適宜遅延させている。この実施例では、終段部でライン4上の反転クロック信号 $\overline{\text{CLK}}$ に対して、ライン3上のクロック信号CLKが遅延しているのが特徴である。

【0019】図3（a）はシフトレジスタS/Rの構成を模式的に示したブロック図であり、6a、6c、6d、6fはクロックドインバータである。出力bがアナログスイッチASWのゲート入力に接続されている。図3（b）はクロック信号CLKと反転クロック信号 $\overline{\text{CLK}}$ に位相差がない（0ns）のときのタイミングチャート、図3（c）はクロック信号CLKと反転クロック信号 $\overline{\text{CLK}}$ に位相差がある（100ns）ときのタイミングチャートである。又、図4（a）～4（c）はクロックドインバータの等価回路図である。

【0020】図4（a）のように、図3（a）のクロッ

クドインバータCLKにはクロック信号CLK及び反転クロック信号／CLKが入力されている。図3(a)のクロックドインバータ／CLKは、図4(a)のクロック信号CLKと反転クロック信号／CLKの入力位置が逆となっているクロックドインバータを示す。

【0021】図4(b)はクロックドインバータCLKにクロック信号CLKとしてローレベル信号が入力された場合の等価回路である。この場合、p-chMOSFET T1及びn-chMOSFET T4は共にオフとなり、出力OUTはフローティング状態となる。

【0022】図4(c)はクロックドインバータCKにクロック信号CLKとしてハイレベル信号が入力された場合の等価回路である。この場合、p-chMOSFET T1及びn-chMOSFET T4は共にオンとなり、このクロックドインバータCLKは単にインバータとして動作する。クロックドインバータ／CLKの動作はこれとは逆であって、クロック信号CLKがローレベルでインバータとして動作し、クロック信号CLKがハイレベルで出力がフローティングとなる。

【0023】次に図3(a)に示すシフトレジスタS/Rの動作を図3(b)のタイミングチャートを参照して説明する。P1の期間では、クロックドインバータ6aはインバータ動作し、XスタートパルスXST(LOW)の反転出力を発生する。従ってノードaの電位はハイレベルである。尚、クロックドインバータ6c、6dの出力はフローティングである。

【0024】P2の期間では、クロックドインバータ6aはインバータ動作し、XスタートパルスXST(HIGH)の反転出力を発生する。従ってノードaの電位はローレベルである。ここでクロックドインバータ6c及び6dの出力はフローティングである。

【0025】P3の期間では、クロックドインバータ6aの出力はフローティングであるから、ノードaの電位はローレベルとなる。インバータ6bが反転出力(HIGH)をクロックドインバータ6cに供給し、クロックドインバータ6cはインバータ動作してローレベル信号をノードaに供給する。ここでインバータ6b及びクロックドインバータ6cがなければ、ノードaの電位がリークしてしまう。クロックドインバータ6dはノードaの電位を反転出力する。従ってノードbの電位はハイレベルとなる。P4の期間はp3と同一である。

【0026】P5の期間では、クロックドインバータ6aがインバータ動作し、XスタートパルスXST(LOW)の反転出力を発生する。従ってノードaの電位はハイレベルであり、クロックドインバータ6c及び6dの出力はフローティングであって、インバータ6eが反転出力(LOW)をクロックドインバータ6fに供給し、クロックドインバータ6fはインバータ動作してハイレベルをノードbに供給する。P6の期間は期間p5と同一である。

【0027】図3(c)のように、クロック信号CLKが遅延素子5により遅れ、クロック信号CLKと／CLKに位相差(100ns)がある場合、シフトレジスタS/Rの出力すなわちノードbの電位はクロック信号CLKの遅延に応じて遅れて立ち上がる。

【0028】即ち、期間P7ではクロック信号CLK及び／CLKがハイレベルとなるので、クロックドインバータ6a、6c、6d、6fのトランジスタT4がONする。従って、ノードa及びbは共にローレベルとなる。期間P8は期間P3と同一である。期間P9ではクロック信号CLK及び／CLKがローレベルとなるので、クロックドインバータ6a、6c、6d、6fのトランジスタT1がONし、ノードa及びbの電位は共にハイレベルとなる。期間P10は期間P5と同一である。期間P11ではクロック信号CLK及び／CLKがハイレベルとなるので、クロックドインバータ6a、6c、6d、6fのトランジスタT4がONする。従って、ノードaはハイレベルで、ノードbはローレベルとなる。従って、クロック信号CLK及び／CLKの位相差により、アナログスイッチASWのゲート入力信号の幅を制御できることになる。

【0029】図5はアナログスイッチASWの入力映像波形(a)と未処理のASWゲート入力波形(b)、立ち上がり遅延を付与したASWゲート波形(c)、及び立ち上がり及び立ち下りの両方を遅延させたASWゲート波形(d)を示す。図5(a)のように終段側に映像信号のなまりがあっても、図5(c)のようにアナログスイッチゲート入力立ち上りを上記したように遅らせることによって、前の映像信号(黒)の影響を受けずに次の中間調を表示することができる。このようにして、液晶表示装置は、画面内均一でゴーストのない表示が可能となる。

【0030】次に本発明の第2の実施例を説明する。図6は本発明による信号線駆動回路の第2の構成を示す図である。この実施例ではクロック信号CLKと反転クロック信号／CLKを送るライン3及び4の両方にシフトレジスタ初段部から終段部にかけてインバータが設けられている。従ってこの実施例は、終段部でビデオ信号に対してクロックCLKと反転クロック信号／CLKの両方が遅延しているのが特徴である。

【0031】図7(a)は又、シフトレジスタS/Rの構成を模式的に示したブロック図、図7(b)はクロック信号CLK及び／CLKに遅延がない場合のタイミングチャート、図7(c)はクロック信号CLK及び／CLKに遅延(100ns)がある場合のタイミングチャートである。図7(c)のように、この遅延によってノードbの電位(シフトレジスタS/R出力)の遅延が制御できる。すなわち、アナログスイッチASWのゲート入力信号を制御できることになる。

【0032】図6に示す実施例によるアナログスイッチ

ASWのゲート入力波形は図5(d)に示されている。図5(d)のようにアナログスイッチゲート入力の立ち上がり及び立ち下がりをおの第2の実施例のように遅らせることによって、前の映像信号(黒)の影響を受けずに次の中間調を表示することができる。従って、画面が均一でゴーストのない表示をすることができる。

【0033】

【発明の効果】以上説明したように、本発明が適用された液晶表示装置は、画面が均一でゴーストのない表示をすることができる。

【図面の簡単な説明】

【図1】本発明が適用される液晶表示装置の構成を示す図。

【図2】本発明の一実施例に係る信号線電極駆動回路を示す図。

【図3】シフトレジスタの構成、及びその動作を示す信号波形図。

【図4】クロックドインバータの等価回路図。

【図5】アナログスイッチの動作を説明するための波形図。

【図6】本発明の一実施例に係る信号線電極駆動回路を示す図。

【図7】シフトレジスタの構成、及びその動作を示す信

号波形図。

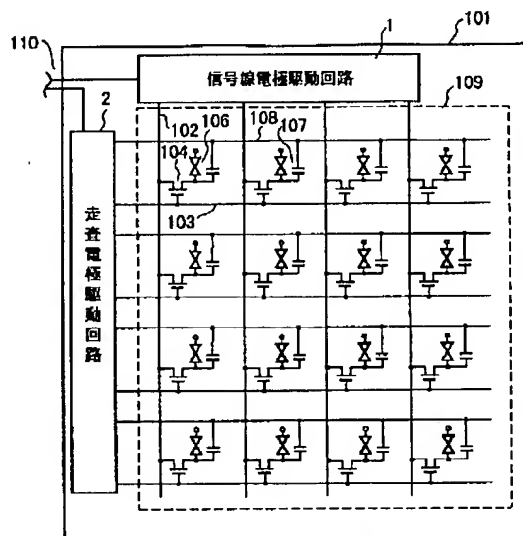
【図8】従来の液晶表示装置の要部の構成を示す図。

【図9】アナログスイッチの動作を説明するための波形図。

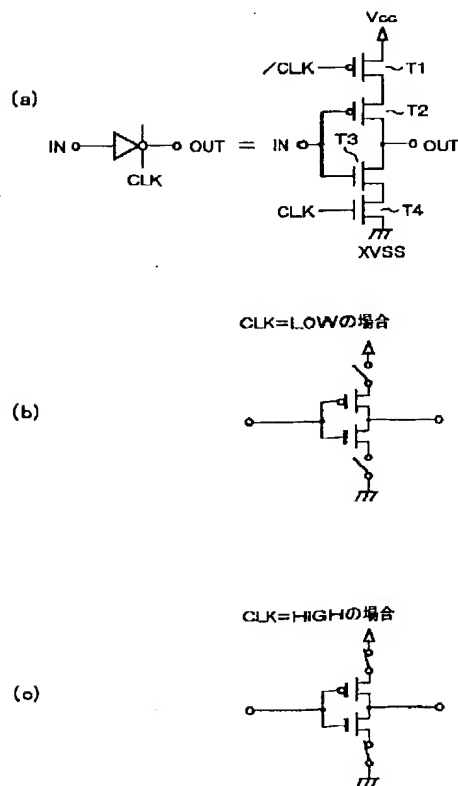
【符号の説明】

- 1…信号線駆動回路
- 2…走査線電極駆動回路
- 3、4…クロックライン
- 5…遅延素子
- 6a、6c、6d、6f…クロックドインバータ
- 6b、6e…インバータ
- 101…ガラス基板
- 102…信号線
- 103…走査線
- 104…TFT
- 106…液晶容量素子
- 107…補助容量
- 108…Cs線
- ASW…アナログスイッチ
- S/R…シフトレジスタ
- T1、T2…pチャンネルMOSFET
- T3、T4…nチャンネルMOSFET

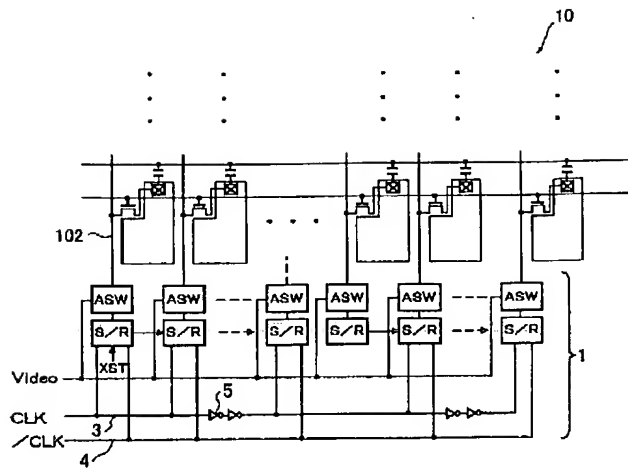
【図1】



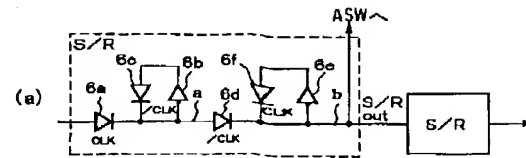
【図4】



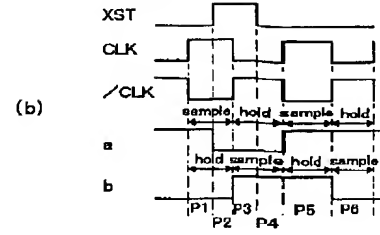
【図2】



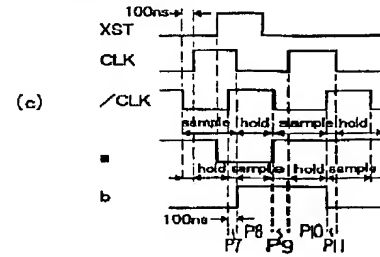
【図3】



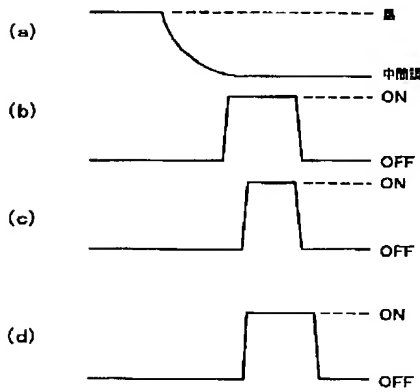
位相差 0[ns]



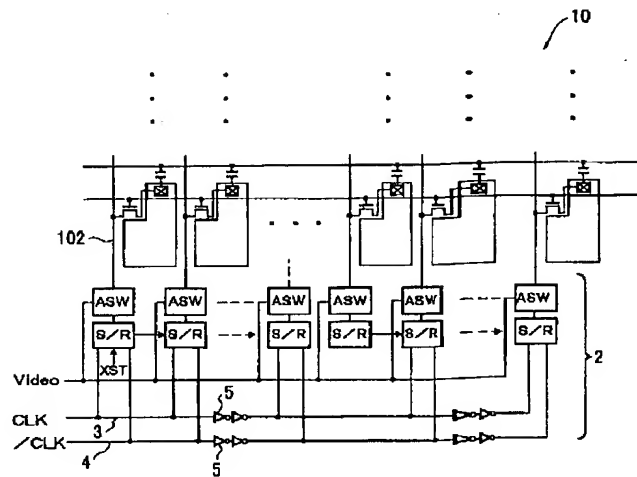
位相差 100[ns]



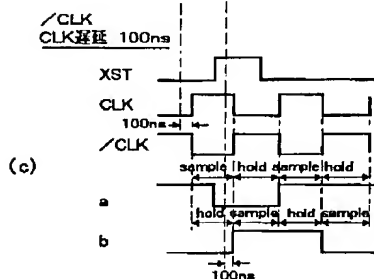
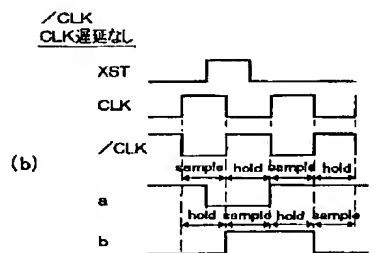
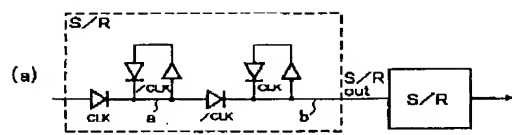
【図5】



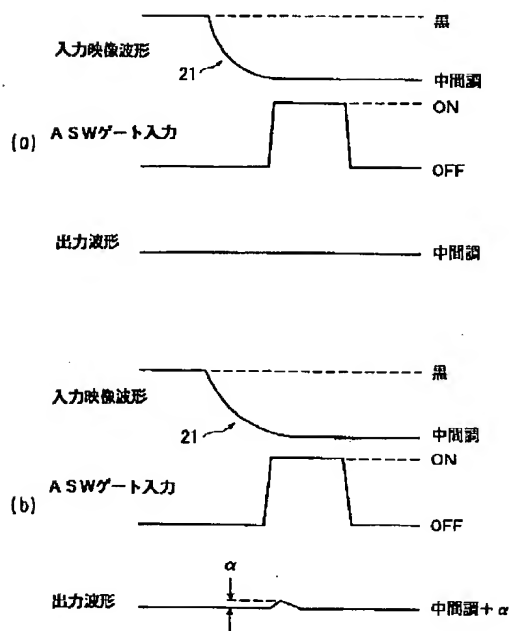
【図6】



【図7】



【図9】



【図8】

